

# 形式仕様記述を用いたテスト手順の自動生成

株式会社日立製作所

明神智之

tomoyuki.myoijn.fs@hitachi.com

## 開発における問題点

複雑化したシステムのソフトウェアテストでは、テスト条件も複雑化しているため、テスト実装の工程においてテスト手順を満たすための手順の作成が困難であるという問題がある。

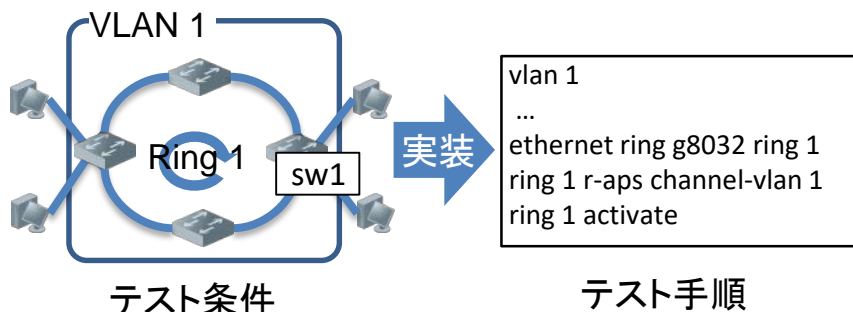
## 手法・ツールの適用による解決

テスト手順の実行によるシステム内部状態の変化を状態遷移モデルで表現して、テスト条件を満たす状態への遷移経路を探索することで、テスト条件を満たす手順を自動生成する。

## 対象システム

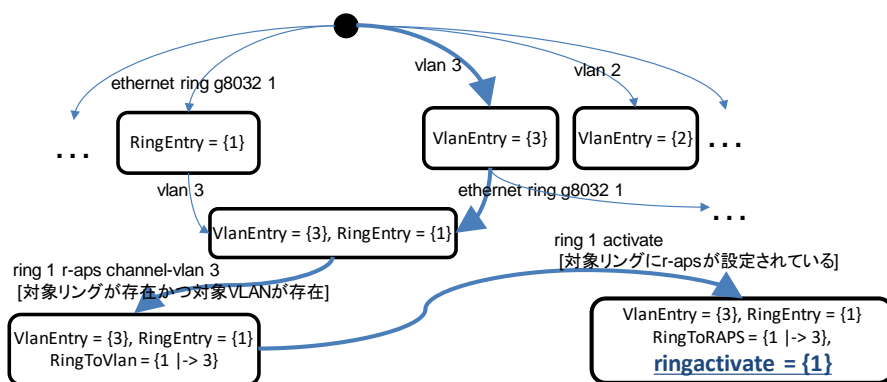
ネットワークスイッチシステム

- 依存関係がある複数機能を組み合わせて実行
- テスト設計ではテスト条件(=ネットワーク構成)を規定
- テスト実装では形式記述された機能仕様を元にして、テスト条件を満たすように手順を作成
- テスト条件の複雑化による手順実装コスト増大が課題



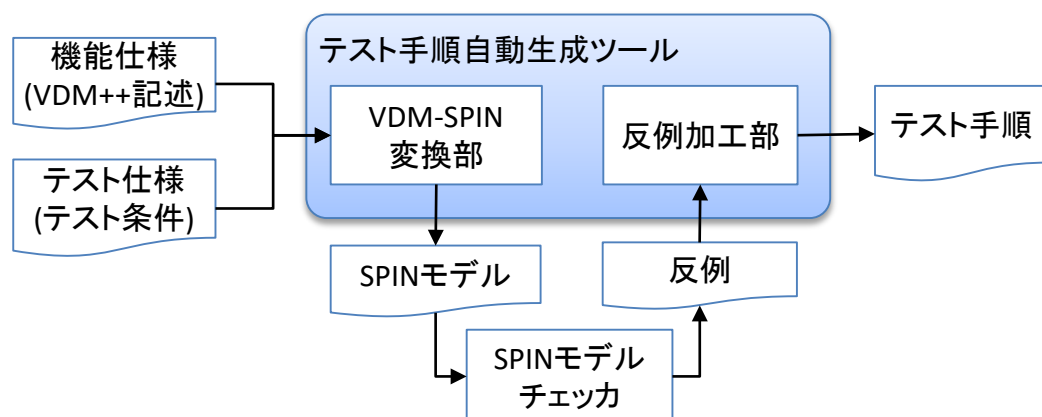
## アプローチ

- テスト手順の実行によるシステム内部状態の変化を状態遷移モデルで表現
- モデル検査手法を用いて、取り得るすべての遷移の中からテスト条件を満たす状態への遷移を探索



## 形式仕様を用いたテスト手順自動生成

- 形式仕様言語VDM++で記述した機能仕様からモデル検査手法SPINの状態遷移モデルを自動生成
- テスト条件の否定したLTL(Linear Temporal Logic)を満たさない反例をテスト手順として出力



## 評価実験

- VDM++記述をすでに活用しているプロジェクトへの適用を想定した評価実験を実施
- 実際のテストに近い規模のネットワーク構成に対して、現実的な時間でテスト手順を自動生成できることを確認

## 今後の課題

- 探索方式の改良による生成時間の短縮
- テスト自動実行環境との連携